



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03032048 A**(43) Date of publication of application: **12.02.91**

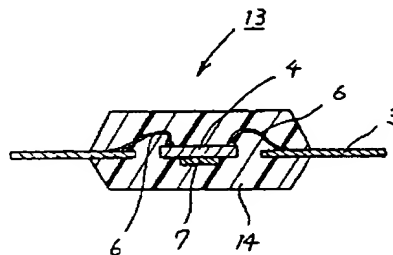
(51) Int. Cl.

**H01L 23/50****H01L 21/52**(21) Application number: **01167390**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **29.06.89**(72) Inventor: **SHINODA TOKUO****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

**PURPOSE:** To decrease the quantity of distortion arising in molding so as to reduce the breakdown of a semiconductor device by lessening the area of an island part within a lead frame where the semiconductor device than the bottom area of the semiconductor element.

**CONSTITUTION:** A semiconductor device 4 is placed at an island part 7, which has the area smaller than the bottom area of a semiconductor device 4, and after being connected electrically with a lead by a wire 6, this is molded with mold resin 14. By this constitution, the quantity of distortion arising by the difference of thermal expansion coefficient between the semiconductor device 4 and the island part 7 at the time of molding can be decreased, so the breakdown on the side of the semiconductor device 4 weak in mechanical strength can be reduced.

COPYRIGHT: (C)1991,JPO&amp;Japio



⑫ 公開特許公報(A) 平3-32048

⑬ Int.Cl.<sup>8</sup>

H 01 L 23/50  
21/52

識別記号

U  
A

庁内整理番号

9054-5F  
8728-5F

⑭ 公開 平成3年(1991)2月12日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-167390

⑰ 出 願 平1(1989)6月29日

⑱ 発 明 者 信 田 徳 雄 山形県酒田市大字十里塚字村東山166番地3 東北エプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

半導体素子を設置するリードフレーム中のアイランド部が、前記半導体素子の底面積よりも小さいことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の構造に関する。

〔発明の概要〕

本発明は、半導体素子が設置されるアイランド部の面積を、半導体素子の底面積よりも小さくすることにより、モールド時、アイランド部と、半導体素子の熱膨張係数の違いによって生ずる、アイランド部と半導体素子間の歪を小さくし、もって半導体素子の破損を低減するものである。

〔従来の技術〕

従来技術における半導体装置は、技術とその高信頼化・全自動化(応用技術出版株式会社発行、1988年5月29日発行)のP125等に記載されている。その概要は、搭載する半導体素子の大きさよりも、少なくとも片面数分の一ミリメートル以上を加えたアイランド部を有する。

〔発明が解決しようとする課題〕

近年、高集密化にともなう半導体素子の大型化によって、その半導体素子が設置されるリードフレームのアイランド部も大きくなる傾向がある。しかし前述の従来技術では、モールド時、アイランド部と半導体素子の熱膨張係数の違いによって、アイランド部と半導体素子間の歪も大きくなり、アイランド部に比べて機械的強度が弱い半導体素子側の破損が生ずるという課題を有する。そこで本発明は、このような課題を解決しようとするもので、その目的とするところは設置される半導体素子が大きくなった場合でも、半導体素子の破損が低減できる半導体装置を提供するところに

ある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体素子を設置するリードフレーム中のアイランド部の面積かつ、前記半導体素子の底面積よりも小さいことを特徴とする。

〔作用〕

前述した構成によれば、モールド時、半導体素子とアイランド部の熱膨張係数の違いによって、半導体素子の膨張、収縮の度合と、アイランド部の膨張、収縮の度合が異なる為、両者の間には、歪が生ずるが、アイランド部の面積が、半導体素子の面積よりも大きいものに比べ、歪量を小さくできる。それゆえ、機械的強度が弱い半導体素子側の破損を低減できるものである。

〔実施例〕

以下本発明の実施例を図面に基づいて説明する。第1図は本発明の実施例を示す半導体装置の断面図である。先ず本発明の半導体装置13の構成について詳述すると、2はリードアイランド部

心臓部となるものである。5は、端子であり、前記半導体素子4の主表面に複数設けられるものである。6は、ワイヤであり、前記半導体素子4の端子5と、所定のリード3とを電気的に接続する為のものである。7は、アイランド部であり、半導体素子4が設置されるもので、前記半導体素子4の、底面積よりも小さい主表面積になっている。8は、ヒートブロックであり、ワイヤボンディング時に、半導体素子4、アイランド部7及びリード3を支持すると共に、それらを加熱するためのもので、上下動可能になっている。9は、凹部であり、ワイヤボンディング時に、前記アイランド部7が入り込む大きさになっている。特に本実施例では、ヒートブロック8によって、半導体素子4の裏面外周部分を、直接支持（加熱）し得るようになっている。10は、キャピラリーであり、ワイヤボンディング時、ワイヤをガイドする為のもので、図示しないボンディングアームに取付けられている。11はワイヤであり、前記キャピラリー10を通して、その先端部には、図示しな

を示し、リードフレーム2はリード3とアイランド部7とから構成されている。4は半導体素子でありアイランド部7に搭載されており、アイランド部7の面積は半導体素子4の底面積より小さく形成されている。6はワイヤであり半導体素子4の端子5とリード3とを電気的に接続している。14は半導体素子4、アイランド部7、リード3およびワイヤ等をモールドする樹脂である。

次に本発明の半導体装置の製造装置及び製造方法について説明する。

第2図は、本発明の一実施例である半導体装置の製造技術における、ワイヤボンディング装置の、ボンディング部を示す概略断面図である。

第1図において、1は、図示しないワイヤボンディング装置の、ボンディング部を示す。2は、リードフレームを示し、ワイヤボンディング後のものである。3は、リードであり、後述するアイランド部を囲むように配置され、後述する半導体素子の内部と、その外部との導通をとる為のものである。4は、半導体素子であり、半導体装置の

い放電トーチによって、ボール12が形成されている。

第1図において、半導体素子4の底面積よりも小さい面積を有するアイランド部7に半導体素子4を設置したものを、図示しないワイヤボンディング装置のボンディング部1に搬送する。ボンディング部1において、ヒートブロック8が上昇し、リード3、アイランド部7、さらに半導体素子4の裏面外周部分を支持し、加熱する。リード3、及び半導体素子が所定温度まで加熱されると、先端にボール12が形成されたワイヤ11を通したキャピラリー10が、第一ボンディング点である半導体素子4の端子5に向けて下降し、端子5上にワイヤが圧着される。この時、端子5の下には、アイランド部7がない状態であるが、その部分は、ヒートブロック8に支持されている為、半導体素子4の底面積よりも大きいアイランド部に設置されたものと何ら変わりなく、ワイヤがボンディングされる。それゆえ、半導体素子に破損が生じることを低減して、ワイヤボンディングでき

るものである。

ところで、第一ボンディング点としての端子5にワイヤがボンディングされると、キャピラリ10は上昇した後、第二ボンディング点としてのリード3側に移動して第二ボンディング点にワイヤがボンディングされる。次にキャピラリ10が若干上昇した後、キャピラリ10の上方に設けられたクランプ(図示せず)でワイヤ11をクランプし、キャピラリ10と共にクランプが上昇して、第二ボンディング点としてのリード3から、ワイヤが引きちぎられる。その後、キャピラリ10先端から突出したワイヤ11に対し、図示しない放電トーチからの放電で、ボール12が形成され、次のボンディング点である端子5上方にキャピラリが移動して、前記と同様にしてワイヤボンディングが繰り返される。このようにして、順次ワイヤがボンディングされ、ワイヤボンディングが終了する。

次に、モールド工程でモールドされることになるが、第2図に示すように、アイランド部7の主

表面(半導体素子4が設置される面)の面積が、半導体素子4の底面(アイランド部7と接する面)の面積よりも小さくなっている。それゆえ、半導体素子4の底面積よりも大きいアイランド部を有するリードフレームを用いて組立てられたものに比べ、モールド時、半導体素子とアイランド部の熱膨張係数が違う為、半導体素子の膨張、収縮の度合と、アイランド部の膨張、収縮の度合が異なることによって生ずる、半導体素子とアイランド部の間の歪を小さくできる。それゆえ、アイランド部に比べて機械的強度が弱い半導体素子の破壊を低減できるものである。これにより、半導体素子が大きくなった場合でも、半導体素子に加わる歪を低減して、半導体装置の製造を行なうことができることになる。

#### 〔発明の効果〕

以上述べたように本発明によれば、半導体素子が設置されるアイランド部の面積を、半導体素子の底面積よりも小さくしたことで、モールド時に生ずる、半導体素子とアイランド部の間の歪が低

減できないこととなり、アイランド部に比べて機械的強度が弱い半導体素子の破壊が低減できるという効果を有する。

また、前述したように、半導体素子が大型化しても、半導体素子に加わるモールド時の歪を低減できる為、半導体素子が高いものであっても、半導体素子の破壊を低減して、製造できるという効果も有する。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例である半導体装置を示す、概略断面図。

第2図は、本発明の一実施例である半導体装置の製造技術における、ワイヤボンディング装置の、ボンディング部を示す概略断面図。

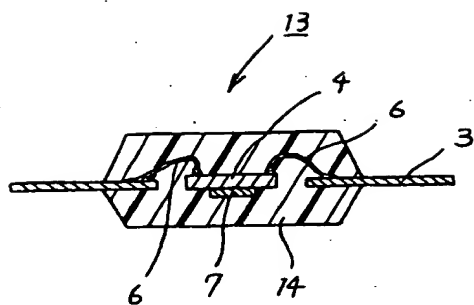
- 1・・・ボンディング部
- 2・・・リードフレーム
- 3・・・リード
- 4・・・半導体素子

- 5・・・端子
- 6・・・ワイヤ
- 7・・・アイランド部
- 8・・・ヒートブロック
- 13・・・半導体装置
- 14・・・モールド樹脂

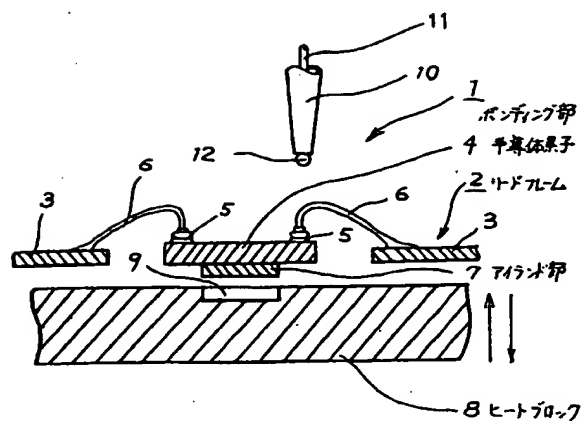
以 上

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎(他1名)



第1図



第2図

ーリード先端部のバリを潰す程度にコイニングし、表面を平坦化する。

なお、各部の形状は、第2図に示した従来例のリードフレームと全く同様であり、同一部には同一符号を付した。

このようにして形成されたリードフレームは、バリの発生がほとんど皆無であり、リード間隔に影響を与えることなく、充分な有効平面幅を得ることができる。また、アウターリードの折り曲げ時にも金属粉を発生せしめることなく、信頼性の高い半導体装置の形成が可能となる。

また、タイバー付近に位置するタイバー付近に発生する抜きダレもほとんど皆無であり、樹脂バリの発生を大幅に低減することができ、半導体装置の信頼性の向上をはかることができる。

さらにまた、抜きバリが、ほとんどないため、リードフレームを積み上げた際にも、下方に位置するリードフレーム表面を傷付けることもなく、また自動搬送時においては、円滑な搬送をおこなうことが可能となる。

また、有効平面幅Wの減少もなく、インナーリード先端ではボンディングを確実に行なうことができる。

なお、実施例では、1つの金型でインナーリードもアウターリードも一度に打ち抜くようにしたが、タイバーを境界として、2つの金型を用いて、インナーリード側を打ち抜いた後、アウターリード側を打ち抜くようにしてもよい。

更に、コイニングは、表裏どちらから行なってもよいし、コイニング工程を省略することも可能である。

〔発明の効果〕

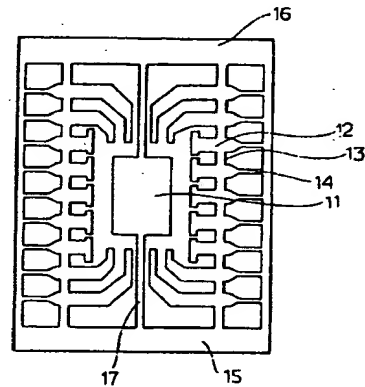
以上説明してきたように、本発明のリードフレームの製造方法によれば、素材から予めリード間隔が目的寸法よりもやや小さくなるように打ち抜いた後、目的寸法のリード間隔となるように仕上げ打ち抜きを行うようにしているため、バリの発生を極めて少なくすることができる。

#### 4. 図面の簡単な説明

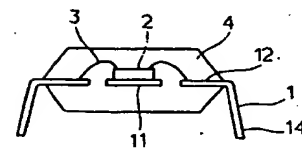
第1図(a)および第1図(b)は、本発明実施

例のリードフレームの製造工程を示す説明図、第2図は従来例のリードフレームを示す図、第3図は、半導体装置を示す図、第4図(a)および第4図(b)は従来例のリードフレームのインナーリード先端部の製造工程を示す図である。

1…リードフレーム、2…半導体チップ、3…ワイヤ、4…封止材料、11…ダイパッド、12…インナーリード、13…タイバー、14…アウターリード、15、16…サイドバー、17…サポートバー、d…抜きダレ、b…抜きバリ。



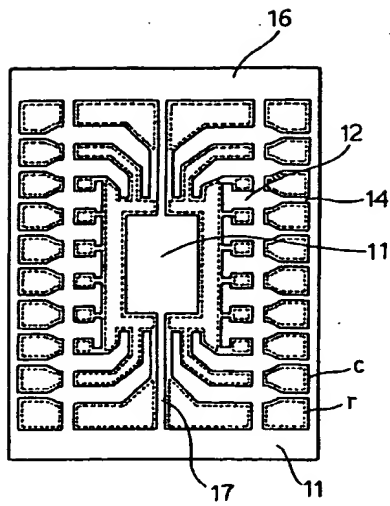
第2図



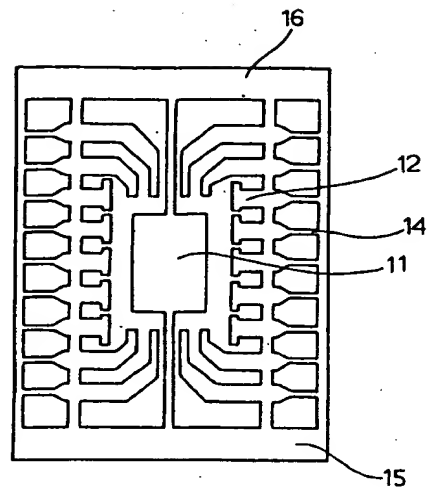
第3図

出願人代理人 木村高久

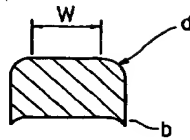




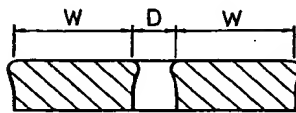
第 1 図 (a)



第 1 図 (b)



第 4 図 (a)



第 4 図 (b)